

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **10-209201**

(43)Date of publication of application : **07.08.1998**

(51)Int.Cl.

H01L 21/60
G01R 31/26
G02F 1/133
H01L 21/66

(21)Application number : **09-007754**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **20.01.1997**

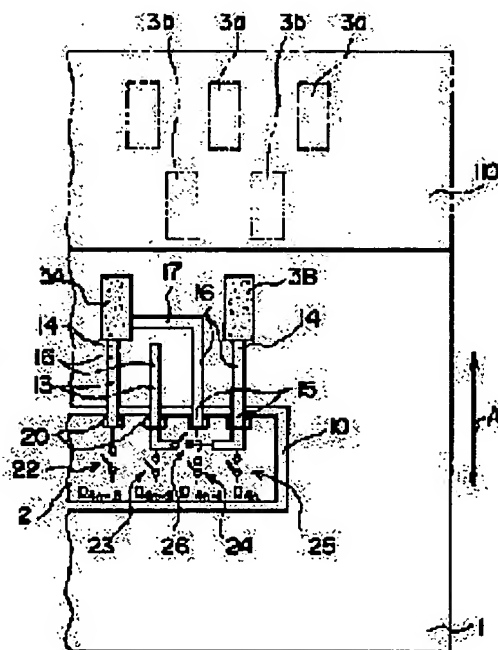
(72)Inventor : **HARUKI SATOSHI**

(54) TAPE CARRIER PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease the area required for arrangement on a tape carrier by decreasing the number of test electrodes for a large number of outputs from a semiconductor element.

SOLUTION: The tape carrier package comprises a tape carrier 1, and an LSI chip 2 mounted thereon. Then LSI chip 2 has a large number of outputs D_{4n-3}, \dots, D_{4n} ($n=1, 2, 3, \dots$). A plurality of sets of test electors 3A, 3B are formed on the tape carrier 1. Each set of outputs D_{4n-3}, D_{4n-1} and D_{4n-2}, D_{4n} of the LSI chip 2 is assigned with one test electrode 3A, 3B, respectively. The LSI chip 2 can select, through swithcing control of electronic switches 22, ..., 26 thereof, an output to be connected with one assigned test electrode 3A, 3B out of a set of outputs D_{4n-3}, D_{4n-1} and D_{4n-2}, D_{4n} .



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209201

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 R
			3 1 1 W
G 0 1 R 31/26		G 0 1 R 31/26	G
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5
H 0 1 L 21/66		H 0 1 L 21/66	E
審査請求 未請求 請求項の数2 O L (全 5 頁)			

(21) 出願番号 特願平9-7754

(22) 出願日 平成9年(1997) 1月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 春 木 聡

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

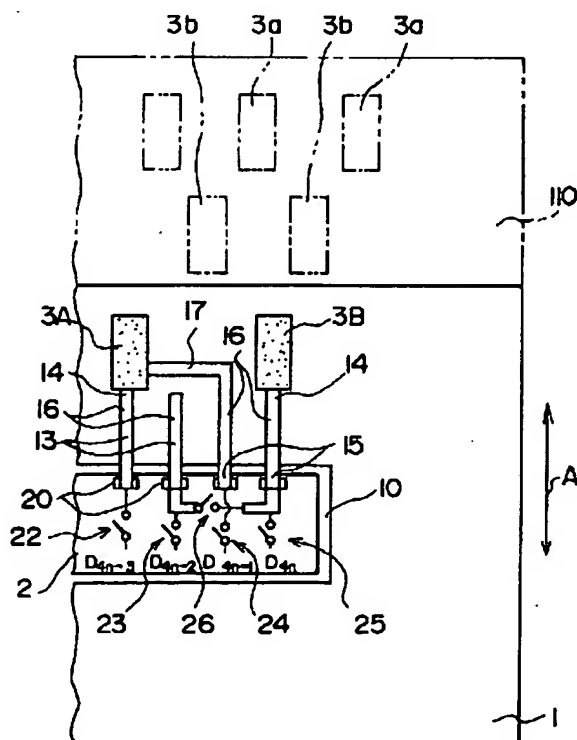
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 テープキャリアパッケージ

(57) 【要約】

【課題】 半導体素子の多数の出力に対して、テスト用電極の数を減らすことにより、その配置のために必要なテープキャリア上の面積を削減する。

【解決手段】 テープキャリアパッケージは、テープキャリア1と、このテープキャリア1に搭載されたLSIチップ2とを備えている。LSIチップ2は、多数の出力D4n-3~D4n (n=1, 2, 3, ...) を有している。テープキャリア1上に複数組のテスト用電極3A, 3Bが形成されている。LSIチップ2の出力D4n-3~D4nの内、各一組の出力D4n-3, D4n-1, 及びD4n-2, D4n毎に、それぞれ一つのテスト用電極3A、及び3Bが割り当てられている。LSIチップ2は、その電子スイッチ22~26のスイッチ制御によって、一組の出力D4n-3, D4n-1, 及びD4n-2, D4nの中から、それぞれ割り当てられた一つのテスト用電極3A、及び3Bに接続される出力を選択可能となっている。



【特許請求の範囲】

【請求項1】 テープキャリアと、

このテープキャリアに搭載され、多数の出力を有する半導体素子と、

前記テープキャリア上に形成され、前記半導体素子の出力に接続されるテスト用電極とを備え、

前記半導体素子の多数の出力の内、特定の複数の出力毎に、それぞれ一つの前記テスト用電極を割り当てるとともに、

前記半導体素子は、スイッチ制御によって、前記特定の複数の出力毎に、それぞれ割り当てられた前記テスト用電極に接続される一つの出力を選択可能となっていることを特徴とするテープキャリアパッケージ。

【請求項2】 前記半導体素子は、液晶パネル駆動用LSIであることを特徴とする請求項1記載のテープキャリアパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、テープキャリア上にLSI等の半導体素子を搭載したテープキャリアパッケージに係り、とりわけ、半導体素子の各出力に接続されるテスト用電極がテープキャリア上に形成されたテープキャリアパッケージに関する。

【0002】

【従来の技術】 図2に、従来のテープキャリアパッケージとして、液晶パネル駆動用テープキャリアパッケージの例が示されている。なお、図2には、連続した複数のテープキャリアパッケージの内の1チップに相当する個々のテープキャリアパッケージの要部が示されている（後述する図3においても同様）。

【0003】 図2において、テープキャリアパッケージは、テープキャリア100と、このテープキャリア100に搭載された液晶パネル駆動用LSIチップ2'とを備えている。このうち、テープキャリア（キャリアフィルム）100には、LSIチップ2'に対応するデバイスホール10が設けられている。

【0004】 また、テープキャリア（キャリアフィルム）100上には、複数の導体（銅箔）パターン18が形成されている。そして、各導体パターン18からは、デバイスホール10側にインナリード15が、下記テスト用電極3側にアウトリード16が、それぞれ延出している。そして、テープキャリアパッケージは、そのアウトリード16を液晶パネルに実装することにより、液晶パネルを駆動可能となる。

【0005】 一方、上記LSIチップ2'は、複数の出力D4n-3～D4n（n=1, 2, 3, …）を有し、LSIチップ2'上には各出力D4n-3～D4nに対応するバンプ20が形成されている。そして、各バンプ20と、対応する上記インナリード15とが、インナリードボンディングによって接続されている。

【0006】 また、テープキャリア（キャリアフィルム）100上において、アウトリード16の外方には、複数の長方形のテスト用電極（テストパッド）3が一行に形成されている。これらのテスト用電極3は、それぞれ各アウトリード16の先端側と接続されている。すなわち、テープキャリア100上には、LSIチップ2'の各出力D4n-3～D4nに対応するテスト用電極3が、それぞれ設けられている。

【0007】 これらのテスト用電極3は、テープキャリアパッケージの出荷前において、プローブカードの探針やスプリングピン等を押し当てることにより、LSIチップ2'の各出力D4n-3～D4nの電気テストを行うためのものである。従って、テープキャリアパッケージの内、テスト用電極3に対応する部分は、液晶パネル駆動用LSIを液晶パネルに実装する際に、不要部分としてパンチングによって切り離されることになる。

【0008】 ところで、近年、液晶モジュールの低価格化、ひいては液晶パネル駆動用テープキャリアパッケージの低価格化の要請に対応すべく、液晶パネル駆動用LSIの多出力化が進められている（例えば出力数300以上）。そして、液晶パネル駆動用LSIの出力が多くなるに従って、各出力に対応するテスト用電極3の数も多くなる。しかし、テスト用電極3自体の大きさと、テスト用電極3同士の間の間隔に制約があるため、テスト用電極3の数が一定の数より多くなると、図2に示すような一行の配置ではテスト用電極3が入りきらなくなってしまう。

【0009】 そこで、図3に一部省略して示すように、多数のテスト用電極3a, 3bを千鳥状に配列したテープキャリアパッケージが提案されている。図3において、隣り合うテスト用電極3a, 3b同士は、上記制約を守るために、互いにテープキャリア110の送り方向Aに対して交互にずれた位置に配置されている。

【0010】 さらに、テープキャリア110の横方向（送り方向Aに対して直角な方向）のテスト用電極3a, 3b同士の間隔を保つため、比較的長い導体パターン18をテスト用電極3a, 3b側に向かって横方向に広がるような形で配置している（この点は、図2に示すテープキャリアパッケージも同様）。

【0011】

【発明が解決しようとする課題】 しかし、図3に示すような従来のテープキャリアパッケージでは、テープキャリア110上に多数のテスト用電極3a, 3bを配置すべく、上述したようにテスト用電極3a, 3bを千鳥状に配置したり、単体パターン幅の制約を守るため、導体パターン間の配列ピッチの変更したりするのに、フィルムキャリアの長さが必要となり、その分だけテープキャリア110におけるテスト用電極3a, 3bの配置のために必要な面積が大きくなる。このため、個々のテープキャリアパッケージに必要なテープキャリア110

の送り方向Aの長さが長くなり、そのコストが高くなってしまう。

【0012】本発明は、このような点を考慮してなされたものであり、多数の出力を有する半導体素子を搭載したテープキャリアパッケージにおいて、テスト用電極の数を減らすことにより、その配置のために必要なテープキャリア上の面積を削減することを目的とする。

【0013】

【課題を解決するための手段】本発明は、テープキャリアと、このテープキャリアに搭載され、多数の出力を有する半導体素子と、前記テープキャリア上に形成され、前記半導体素子の出力に接続されるテスト用電極とを備え、前記半導体素子の多数の出力の内、特定の複数の出力毎に、それぞれ一つの前記テスト用電極を割り当てるとともに、前記半導体素子は、スイッチ制御によって、前記特定の複数の出力毎に、それぞれ割り当てられた前記テスト用電極に接続される一つの出力を選択可能となっていることを特徴とするテープキャリアパッケージである。

【0014】この発明によれば、テスト用電極によって半導体素子の出力のテストを行う場合、半導体素子のスイッチ制御によって、特定の複数の出力毎に、それぞれ割り当てられたテスト用電極に接続される一つの出力を選択する。そして、半導体素子のスイッチ制御によって各テスト用電極に接続された出力について、電気テストを行う。

【0015】このようにして、半導体素子のスイッチ制御によって、テスト用電極に接続される出力を順次切り替えることにより、全ての出力のテストを行うことができる。従って、半導体素子の各出力毎にそれぞれ対応するテスト用電極を設ける場合に比べ、同じ出力数に対するテスト用電極の数を大幅に削減することができる。

【0016】本発明は、前記半導体素子に、液晶パネル駆動用LSIを用いる場合に適している。すなわち、特に多出力化の要請の大きい液晶パネル駆動用LSIを搭載したテープキャリアパッケージに本発明を適用することにより、その出力数に対するテスト用電極の数を大幅に削減することができる。

【0017】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態について説明する。図1は本発明によるテープキャリアパッケージの一実施形態を示す図である。なお、図1に示す本発明の実施の形態において、図2及び図3に示す従来例と同一の構成部分には同一符号を付して説明する。また、図1には、図2及び図3の場合と同様に、連続したテープキャリアパッケージの内の1チップ分に相当する個々のテープキャリアパッケージの要部が示されている。

【0018】図1において、テープキャリアパッケージは、テープキャリア1と、このテープキャリア1に搭載

された液晶パネル駆動用LSIチップ2とを備えている。このうち、テープキャリア（キャリアフィルム）100には、LSIチップ2に対応するデバイスホール10が設けられている。

【0019】また、テープキャリア（キャリアフィルム）100上には、複数の導体（銅箔）パターン13が間隔を置いて形成されている。そして、各導体パターン13からは、デバイスホール10側にインナリード15が、下記テスト用電極3A、3B側にアウトリード16が、それぞれ延出している。

【0020】なお、図1において、LSIチップ2の入力側（図1の下側）におけるテープキャリアパッケージの構造や、一般にテープキャリア1の両側縁部に設けられるスプロケットホール等の図示は省略されている。また、図1において二点鎖線で示すのは、図3に示した従来例と、本実施形態のテープキャリアパッケージとの間で、テープキャリア1、110の送り方向Aの長さを比較するために、両テープキャリア1、110の下端部同士を揃えて重ね合わせた状態を示すものである。

【0021】次に、上記LSIチップ2は、多数（例えば300～400個程度）の出力D4n-3～D4n（n=1, 2, 3, …）を有し、LSIチップ2上には各出力D4n-3～D4nに対応するバンプ20が形成されている。そして、各バンプ20と、対応する上記インナリード15とが、インナリードボンディングによって接続されている。また、LSIチップ2は内部に、各出力D4n-3～D4nとそれらに対応するバンプ20との間に介在される電子スイッチ22～25を有すると共に、出力D4nに対応するバンプ20と出力D4n-2との間に介在される電子スイッチ26を有している。

【0022】また、テープキャリア（キャリアフィルム）1上において、アウトリード16の外方には、複数の組のテスト用電極（テストパッド）3A、3Bが形成されている。この内、テスト用電極3Aは、導体パターン14を介して出力D4n-3に対応するアウトリード16の先端側と接続されるとともに、鉤形の導体パターン17を介して出力D4n-1に対応するアウトリード16の先端側と接続されている。

【0023】一方、テスト用電極3Bは、導体パターン14を介して、出力D4nに対応する（とともに、電子スイッチ26を介して出力D4n-2にも対応する）アウトリード16の先端側と接続されている。すなわち、テスト用電極3Aは、LSIチップ2の出力D4n-3～D4nの内、各奇数出力D4n-3、D4n-1にはテスト用電極3Aが割り当てられ、各偶数出力D4n-2、D4nにはテスト用電極3Bが割り当てられている。

【0024】次に、このような構成よりなる本実施形態の作用について説明する。本実施形態によれば、テープキャリアパッケージの出荷前において、LSIチップ2の各出力D4n-3～D4nの電気テストを行う場合、電子ス

イッチ22～26のスイッチ制御によって、テスト用電極3A、3Bに接続される出力を、例えば出力D4n-3、D4n-2と出力D4n-1、D4nとの間で切り替えながら、順次テストを行う。

【0025】まず、出力D4n-3、D4n-2のテストを行う場合は、LSIチップ2の電子スイッチ24、25をOFFにし、電子スイッチ22、23、26をONにする。このことにより、出力D4n-3とテスト用電極3Aとを接続させ、出力D4n-2とテスト用電極3Bとを接続させる。そして、テスト用電極3A、3Bにプローブカードの探針やスプリングピン等を押し当てることにより、出力D4n-3、D4n-2の電気テストを行う。

【0026】次に、出力D4n-1、D4nのテストを行う場合は、LSIチップ2の電子スイッチ22、23、26をOFFにし、電子スイッチ24、25をONにする。このことにより、出力D4n-1とテスト用電極3Aとを接続させ、出力D4nとテスト用電極3Bとを接続させる。そして、同様にテスト用電極3A、3Bに上記プローブカードの探針等を押し当てることにより、出力D4n-1、D4nの電気テストを行う。

【0027】なお、テープキャリアパッケージの内、テスト用電極3A、3Bに対応する部分（アウトリード16より外側の部分）は、液晶パネルに実装する際には、不要部分としてパンチングによって切り離される。

【0028】以上説明したように、本実施形態によれば、各一組の出力D4n-3、D4n-2、及びD4n-1、D4n毎に、それぞれ接続される一つのテスト用電極3A、及び3Bを割り当て、LSIチップ2の電子スイッチ22～26のスイッチ制御によって、テスト用電極3A、3Bに接続される出力D4n-3、D4n-2、及びD4n-1、D4nを順次切り替えることにより、全ての出力D4n-3～D4nのテストを行うことができる。従って、LSIチップ2の各出力D4n-3～D4n毎にそれぞれ対応するテスト用電極を設ける場合に比べ、同じ出力数に対するテスト用電極3A、3Bの数を半分に削減することができる。

【0029】このことにより、テープキャリア1上において、テスト用電極3A、3Bの配置ために必要な面積を大幅に削減することが可能となる。このため、個々のテープキャリアパッケージに必要なテープキャリア1の面積を削減し、テープキャリアパッケージの低コスト化を図ることができる。例えば、図1において二点鎖線で示すように、図3に示した従来例のテープキャリア110に比べ、個々のテープキャリアパッケージに必要なテープキャリア1の送り方向Aの長さを大幅に削減することができる。

【0030】以上、テスト用電極3A、3Bに接続される出力を、出力D4n-3、D4n-2と出力D4n-1、D4nとの間

で切り替える場合について説明したが、テスト用電極3A、3Bに接続される出力を、出力D4n-3、D4nと出力D4n-2、D4n-1との間で切り替えるようにしてもよい。また、上述したようなテスト用電極3A、3Bと出力D4n-3～D4nとの対応関係に代えて、出力D4n-3、D4n-2にテスト用電極3Aが割り当てられ、出力D4n-1、D4nにテスト用電極3Bが割り当てられるようにしてもよい（この場合は、スイッチ26は不要となる。）。

【0031】さらに、各一組の出力D4n-3、D4n-2、及びD4n-1、D4n毎に、それぞれ一つのテスト用電極3A、3Bを割り当てる場合について説明したが、これに限らず、3つ以上の出力毎にそれぞれ一つのテスト用電極を割り当てることにより、テスト用電極の数を従来の1/3以下に削減することも可能である。この点は、LSIチップのスイッチ制御の複雑化等によるコスト上昇と、テープキャリアの面積削減によるコスト低下とのバランスを考慮して決められることになる。

【0032】また、本発明によるテープキャリアパッケージにおいて、液晶パネル駆動用LSIチップ2を用いる場合について説明したが、これに限らず、多数の出力を有する半導体素子であれば、他の半導体素子を用いる場合についても適用できることはいうまでもない。

【0033】

【発明の効果】請求項1記載の発明によれば、半導体素子の各出力毎にそれぞれ対応するテスト用電極を設ける場合に比べ、同じ出力数に対するテスト用電極の数を大幅に削減することができる。このことにより、テープキャリア上において、テスト用電極の配置ために必要な面積を大幅に削減することが可能となる。このため、個々のテープキャリアパッケージに必要なテープキャリアの面積を削減し、テープキャリアパッケージの低コスト化を図ることができる。

【図面の簡単な説明】

【図1】本発明によるテープキャリアパッケージの一実施形態を示す要部平面図。

【図2】従来のテープキャリアパッケージの一例を示す要部斜視図。

【図3】従来のテープキャリアパッケージの他の例を示す要部平面図。

【符号の説明】

1、100、110 テープキャリア
2、2' LSIチップ（半導体素子）
3A、3B、3、3a、3b テスト用電極（テストパッド）
22～26 電子スイッチ
D4n-3～D4n 出力

【図 2】

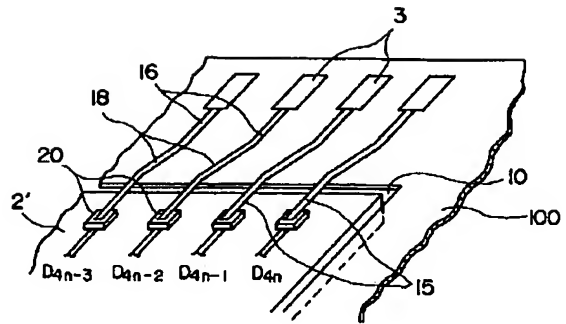


FIG. 1 is a schematic diagram of a semiconductor device 100. The device includes a substrate 110 with a base layer 10. On the base layer, there are four gate electrodes labeled $D4n-3$, $D4n-1$, $D4n-2$, and $D4n$. Above these electrodes are four vertical structures 16, each containing a channel layer 18 and a gate insulating layer 20. The structures are connected to terminals 3a and 3b. A dimension line A indicates the height of the structures.